

2/9/1
DIALOG(R) File 347:JAPIO
(c) 2005 JPO & JAPIO. All rts. reserv.

06234598 **Image available**
FERROELECTRICS RANDOM ACCESS MEMORY DEVICE

PUB. NO.: 11-176169 [JP 11176169 A]
PUBLISHED: July 02, 1999 (19990702)
INVENTOR(s): LEE JIN-WOO
JUNG DONG-JIN
KIM KI-NAM
APPLICANT(s): SAMSUNG ELECTRON CO LTD
APPL. NO.: 10-254323 [JP 98254323]
FILED: September 08, 1998 (19980908)
PRIORITY: 9746199 [KR 46199], KR (Korea) Republic of, September 08,
1997 (19970908)
INTL CLASS: G11C-014/00; G11C-011/22

ABSTRACT

PROBLEM TO BE SOLVED: To secure a data sensing margin on reading operation and to improve reliability in a ferroelectrics RAM device by inducing a voltage being applied across a ferroelectrics capacitor similarly as a voltage being applied across the capacitor on writing operation on reading operation.

SOLUTION: A plate pulse generation circuit 60 generates a power-supply-voltage-level pulse signal SPL during writing operation and a pulse signal BSPL that is at a higher level than the power supply voltage level during reading operation, thus completely polarizing or saturating the ferromagnetic substance of a ferroelectric capacitor CF by a voltage being applied across the ferroelectric capacitor between bit line/reference bit line BL_j/RBL_j (j=1-n) and plate line/reference plate line PL_i/RPL (i=1-m) being driven by a pulse signal BSPL at a boosted level.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-176169

(43)公開日 平成11年(1999)7月2日

(51)Int.Cl.⁶
G 1 1 C 14/00
11/22

識別記号

F I
G 1 1 C 11/34
11/22

3 5 2 A

審査請求 未請求 請求項の数10 O.L (全9頁)

(21)出願番号 特願平10-254323
(22)出願日 平成10年(1998)9月8日
(31)優先権主張番号 1997 46199
(32)優先日 1997年9月8日
(33)優先権主張国 韓国 (KR)

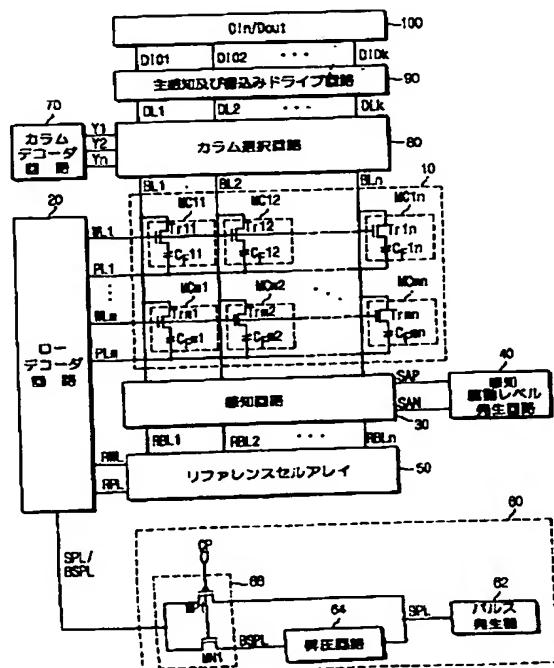
(71)出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416
(72)発明者 李 鎭宇
大韓民国京畿道水原市勤善區世流洞546-1
19グリーンヴィラナ棟101号
(72)発明者 鄭 東鎮
大韓民国京畿道安陽市灣岸區石水洞(番地
なし)漢道エーピーティ3棟504号
(72)発明者 金 奇南
大韓民国京畿道安陽市平村洞18-1金湖工
ーピーティ804-502
(74)代理人 弁理士 志賀 正武 (外1名)

(54)【発明の名称】 強誘電体ランダムアクセスメモリ装置

(57)【要約】

【課題】 信頼性が向上した、読み出し動作をする時、高いセンシングマージンを得られる強誘電体ラム装置を提供する。

【解決手段】 本発明の強誘電体ラムF R A M装置は、ワードラインと、ワードライン各々に対応するセル電極ラインと、ワードラインと交差されるように配列されたピットラインと、そして、各々がスイッチングトランジスターと強誘電体キャパシターを含むメモリセルのアレイと、アレイのワードライン一つを選択するための選択信号と非選択されたワードラインに供給するための非選択信号を発生し、そして、セル電極ライン中、選択されたワードラインに対応する一つを駆動信号に駆動するローデコーダ回路及び、書き込み動作の間に第1のレベルの駆動信号を発生し、読み出し動作の間に第1のレベルより高い第2のレベルの駆動信号を発生する駆動信号発生回路を含む。



【特許請求の範囲】

【請求項1】 ワードラインと、前記ワードライン各々に対応するセル電極ラインと、前記ワードラインと交差するように配列されたピットラインと、そして、各々がスイッチングトランジスターと強誘電体キャパシターを含んで、前記強誘電体キャパシターの一つの電極が前記スイッチングトランジスターを通じて対応するピットラインに接続され、その他の電極が対応するセル電極ラインに接続され、前記スイッチングトランジスターの制御電極が対応するワードラインに接続されるメモリセルとを備えたメモリセルアレイと、

前記アレイのワードラインの一つを選択するための選択信号と非選択されたワードラインに供給するための非選択信号を発生し、そして、前記セル電極ライン中、前記選択されたワードラインに対応する一つを駆動信号に駆動するローデコーダ及び、

前記選択されたワードラインに対応するセル電極ラインを駆動するための前記駆動信号を発生する駆動信号発生手段を含み、前記駆動信号発生手段は書き込み動作の間に第1のレベルの前記駆動信号を発生し、読み出し動作の間に前記第1レベルより高い第2のレベルの前記駆動信号を発生する不揮発性メモリ装置。

【請求項2】 前記駆動信号発生手段は、前記第1のレベルの駆動信号をパルスとして発生するパルス発生回路と、前記第1のレベルの駆動信号を前記第2のレベルの駆動信号に昇圧するための昇圧回路と、外部から印加される制御信号に応答して前記第1のレベルの駆動信号を前記ローデコーダに伝達するための第1のスイッチ及び、前記制御信号に応答して前記第2のレベルの駆動信号を前記ローデコーダに伝達するための第2のスイッチを含む請求項1に記載の不揮発性メモリ装置。

【請求項3】 前記第1のスイッチはPMOSトランジスターを含み、前記第2のスイッチはNMOSトランジスターを含む請求項2に記載の不揮発性メモリ装置。

【請求項4】 前記制御信号のレベルは読み出し動作する時、電源電圧レベルであり、書き込み動作する時、グラウンド電位である請求項2に記載の不揮発性メモリ装置。

【請求項5】 前記ピットラインに対応するリファレンスピットライン、リファレンスワードライン、前記リファレンスワードラインに対応するリファレンスセル電極ライン、そして、前記リファレンスピットラインに各々対応するリファレンスセルのリファレンスセルアレイを附加的に含む請求項1に記載の不揮発性メモリ装置。

【請求項6】 前記リファレンスセル電極ラインは前記駆動信号発生手段から発生された前記駆動信号を提供してもらう前記ローデコーダにより駆動される請求項5に記載の不揮発性メモリ装置。

【請求項7】 前記第1のレベルは電源電圧レベルである請求項1に記載の不揮発性メモリ装置。

【請求項8】 ワードラインと、前記ワードラインに各々に対応するブリードラインと、前記ワードラインと交差されるように配列されたピットラインと、そして、各々がスイッチングトランジスターと強誘電体キャパシターを含んで、前記強誘電体キャパシターの一つの電極が前記スイッチングトランジスターを通じて対応するピットラインに接続され、その他の電極が対応するブリードラインに接続され、前記スイッチングトランジスターの制御電極が対応するワードラインに接続されるメモリセルとを備えたメモリセルアレイと、

前記ピットラインに各々対応するリファレンスピットラインと、リファレンスワードラインと、前記リファレンスワードラインに対応するリファレンスプレートラインと、そして、リファレンスピットラインに各々対応するリファレンスセルとを具備したリファレンスセルアレイと、

前記リファレンスピットライン対前記リファレンスセルの比は1:1であり、

前記アレイのワードライン中、一つと前記リファレンスワードラインを選択するための選択信号と非選択されたワードラインに供給するための非選択信号を発生し、そして、前記プレートライン中、前記選択されたワードラインに対応する一つと、前記リファレンスプレートラインを駆動信号に駆動するローデコーダ回路及び、

前記メモリセル中、選択されたメモリセルのデータビットに対応するレベル、そして、前記選択されたメモリセルに対応するリファレンスセルからデータビットに各々対応するレベルの平均レベルを持つリファレンスレベルを受け入れ、前記選択されたデータビットのレベルを感知するための感知回路及び、

書き込み動作の間に第1のレベルの前記駆動信号を発生し、読み出し動作の間に前記第1のレベルより高い第2のレベルの前記駆動信号を発生する駆動信号発生回路を含む不揮発性メモリ装置。

【請求項9】 前記駆動信号発生回路は、前記第1のレベルの駆動信号をパルスとして発生するパルス発生器と、前記第1のレベルの駆動信号を前記第2のレベルの駆動信号に昇圧するための昇圧回路と、外部から印加される制御信号に応答して、前記第1のレベルの駆動信号を前記ローデコーダに伝達するための第1のスイッチ及び、前記制御信号に応答して前記第2のレベルの駆動信号を前記ローデコーダに伝達するための第2のスイッチを含む請求項8に記載の不揮発性メモリ装置。

【請求項10】 前記第1のレベルは電源電圧レベルである請求項8に記載の不揮発性メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は不揮発性メモリ装置に関するものであり、詳しくは強誘電体キャパシターを持つメモリ装置のプレートパルス信号を発生する回路に関するものである。

【0002】

【従来の技術】最近、電源オフする時までデータを維持する機能を持つ不揮発性メモリはヒステリシス特性 (hysteresis characteristics) を示すPZTのような強誘電物質の使用を通じて実現してきた。メモリセルにそのような強誘電物質を使うことにより、不揮発性メモリは簡単な構造で実現することができる。強誘電体ラム (FRAM: Ferroelectric Random Access Memory) 装置は不揮発性の特性を持ち、高速低電圧動作ができるので、多くのメモリチップメーカーの関心と競争が集まっている。FRAMの動作速度は分極反転時間により決定される。強誘電体キャパシターの分極反転速度はキャパシターの面積、強誘電体薄膜の厚さ、印加電圧等により決定されるが、通常ns単位である。これは μ s単位の読み出し/書き込み時間を持つEEPROMやフラッシュメモリと比較する時、より早い速度で動作できることを意味する。

【0003】図1は1T/1C強誘電体メモリセルを示す。メモリセルは一つのスイッチングトランジスターTrと一つの強誘電体キャパシターCF(1ビット当たり1トランジスター及び1-キャパシター: 1T/1C)で構成される。スイッチングトランジスターTrは強誘電体キャパシターCFの一つの電極とビットラインBLに各々接続された二つの主電極、すなわち、ドレーン電極とソース電極を持ち、ワードラインWLに接続されたゲート電極を持つ強誘電体キャパシターCFの他の電極はプレートラインPLに接続される。

【0004】図2は強誘電体キャパシターのヒステリシスI-Vスイッチングループを示すグラフである。グラフの横座標 (abscissa) はキャパシターの二つの電極の間の電位差、すなわち、キャパシター両端の電圧 (volts) を示し、縦座標 (ordinate) は強誘電物質の自発分極によりその表面に誘起される電荷の量、すなわち、分極度 (μ C/cm²) を示す。

【0005】0Vの電圧が印加され、強誘電物質に何も電界がない時は、大抵、分極ドメイン (polarization domains) は不均一であり、分極が発生しない。キャパシター両端の電圧が正の方向に増加する時、分極度 (あるいは電荷量) は0 (zero) から正の分極領域内の点Aまで増加する。点Aで、全てのドメインは一つの方向に分極され、点Aからの分極度は最大値に至る。この時、分極度すなわち、強誘電物質が保有する電荷の正はQ_sで表示され、キャパシター両端に印加される電圧の大きさは動作電圧V_{cc}である。以後、キャパシター両端の電圧が再び0Vまで落ちても、分極度は0まで低くならずに、点Bに留まるようになる。このような残留分極により強誘電物質が保有する電荷の量、すなわち、残留分極度はQ_rに表示される。

【0006】次に、キャパシター両端の電圧が負の方向

に増加すると、分極度は点Bから負の電荷分極領域内の点Cに変わる(図2から曲線2-1)。点Cで、強誘電物質の全てのドメインは点Aからの分極方向の反対になる方向で分極される。この時、分極度は-Q_sで表示され、キャパシター両端に印加された電圧の大きさは-V_{cc}である。以後、キャパシター両端の電圧が再び0Vまで落ちても、分極度は0まで落ちられないで、点Dに残留するようになる。この時の残留分極度は-Q_rで表示される。キャパシター両端に印加される電圧の大きさがもう一回正の方向に増加すると、強誘電物質の分極度は点Dから点Aに変わる。

【0007】前述したように、電界を発生するための電圧が二つの電極の間に強誘電物質が挿入された強誘電体キャパシターに一回印加されると、以後、電極がフローティング状態 (floating state) に設定されても、自発分極 (spontaneous polarization) による分極方向は維持される。自発分極による強誘電物質の表面電荷 (surface charge) は漏洩等により自然に損失されない。分極度が0になるように、反対方向に電圧が印加されないと、分極方向はそのまま維持される。

【0008】FRAMにおいて、書き込み/読み出し動作の間に強誘電体キャパシターCF両端に印加される電圧は非常に重要である。従来技術の問題点に關した書き込み動作及び読み出し動作が以後説明される。よく知られているように、選択されたメモリセルに対応するプレートラインにパルス信号を印加することにより、選択されたメモリセルからデータが読み出されたり、選択されたメモリセルにデータが書き込まれる。この時、ビットラインとプレートラインの間の電圧、すなわち、強誘電体キャパシターの両端にかかる電圧を書き込み電圧 (writing voltage) とする。書き込み電圧により強誘電体キャパシターに挿入された強誘電物質は状態点AあるいはCで完全に分極される。

【0009】次、読み出し動作になる間、感知回路(図4参照)が動作する以前のビットラインはフローティング状態 (floating state) になる。そして、強誘電体キャパシターCFの強誘電物質を完全に分極させるパルス信号がプレートラインPLに印加される時、強誘電体キャパシターCFの強誘電物質は状態点AあるいはCで完全に分極され、これを飽和状態 (saturation state) とする。この時、ビットラインBLとプレートラインPLの間の電圧、すなわち、キャパシター両端にかかる電圧を読み出し電圧 (reading voltage) とする。

【0010】しかし、読み出し動作をする時、ビットラインBLがフローティング状態に維持されるので、図1から知られるように、プレートラインPLにパルス信号が印加される時、強誘電体キャパシターCF両端にかかる電圧は強誘電体キャパシターCFのキャパシタンスとビ

ットラインBLのキャパシタンスのカップリング比 (coupling rate) に該当するプレート電圧だけ低くなる。そのようなカップリング比により、低くな*

*った読み出し電圧は下記の式 (1) で表現される。
【0011】
【数1】

$$V_f = V_p - \frac{C_{pzt}}{C_{pzt} + C_{BL}} \times V_p$$

$$= \frac{C_{BL}}{C_{BL} + C_{pzt}} \times V_p \dots (1)$$

【0012】式 (1) において、記号 V_f は強誘電体キャパシターの両端にかかる電圧を示し、記号 V_p はプレート電圧を示し、記号 C_{BL} はビットラインのローディングキャパシタンス (loading capacitance) を示す。又、記号 C_{pzt} は強誘電体キャパシターのキャパシタンスを示す。

【0013】前記の式 (1) で、読み出し動作をする時、強誘電体キャパシター C_F の両端にかかる読み出し電圧は書き込み動作する時に強誘電体キャパシター C_F の両端にかかる書き込み電圧より低いことが知られている。結局、書き込み動作をする時、強誘電体キャパシター C_F 両端にかかる書き込み電圧は強誘電物質が図 1 の状態点 A あるいは C に完全に分極される反面、読み出し動作をする時、強誘電体キャパシター C_F 両端にかかる読み出し電圧は強誘電物質が状態点 A あるいは C に完全に分極するようになります。

【0014】従って、読み出し動作をする時、飽和状態に至らない強誘電体キャパシター C_F を含むメモリセルに対する感知動作が正確にならない。要するに、データファイル (data file) が発生する可能性が高い。又、リファレンスセルの場合も同一の原因により、リファレンスセルから希望のレベルの基準電圧 (reference voltage) を得られない。結果的に、従来技術による強誘電体ランダムアクセスメモリ RAM 装置はデータファイルが発生する可能性が高いという問題点を持っている。

【0015】

【発明が解決しようとする課題】従って、本発明の目的は信頼性が向上された強誘電体ラム装置を提供することである。

【0016】本発明の他の目的は読み出し動作する時、高いセンシングマージンを得られる強誘電体ラム装置を提供することである。

【0017】本発明の他の目的は、強誘電物質が完全に分極されるようにプレートラインに印加される書き込み用パルス信号のレベルより高く昇圧されたレベルの読み出し用パルス信号にプレートラインを駆動する強誘電体ラム

装置を提供することである。

【0018】

【課題を解決するための手段】上述したような目的を達成するための本発明の一つの特徴によると、ワードラインと、ワードライン各自に対応するセル電極ラインと、ワードラインと交差されるように配列されたビットラインと、そして、各々がスイッチングトランジスターと強誘電体キャパシターを含んで、強誘電体キャパシターの一つの電極がスイッチングトランジスターを通じて対応するビットラインに接続され、その他の電極が対応するセル電極ラインに接続され、スイッチングトランジスターの制御電極が対応するワードラインに接続されるメモリセルとを備えたメモリセルアレイと、アレイのワードライン一つを選択するための選択信号と非選択されたワードラインに供給するための非選択信号を発生し、そして、セル電極ライン中、選択されたワードラインに対応する一つを駆動信号に駆動するローデコーダ及び、選択されたワードラインに対応するセル電極ラインを駆動するための駆動信号を発生する駆動信号発生手段を含み、駆動信号発生手段は書き込み動作の間に第 1 レベルの駆動信号を発生し、読み出し動作の間に第 1 レベルより高い第 2 レベルの駆動信号を発生する。

【0019】この態様において、駆動信号発生手段は、第 1 のレベルの駆動信号をパルスとして発生するパルス発生回路と、第 1 のレベルの駆動信号を第 2 のレベルの駆動信号に昇圧するための昇圧回路と、外部から印加される制御信号に応答して第 1 のレベルの駆動信号をローデコーダに伝達するための第 1 のスイッチ及び、制御信号に応答して第 2 のレベルの駆動信号をローデコーダに伝達するための第 2 のスイッチを含む。

【0020】この態様において、第 1 のスイッチは PMOS トランジスターを含み、第 2 のスイッチは NMOS トランジスターを含む。

【0021】この態様において、制御信号のレベルは読み出し動作する時、電源電圧レベルであり、書き込み動作する時、グラウンド電位である。

【0022】この態様において、ビットラインに対応す

るリファレンスピットライン、リファレンスワードライン、リファレンスワードラインに対応するリファレンスセル電極ライン、そして、リファレンスピットラインに各々対応するリファレンスセルのリファレンスセルアレイを付加的に含む。

【0023】この態様において、リファレンスセル電極ラインは駆動信号発生手段から発生された駆動信号を提供してもらうローデコーダにより駆動される。

【0024】この態様において、第1レベルは電源電圧レベルである。

【0025】本発明の他の特徴によると、ワードライン、ワードラインに各々に対応するプレートライン、ワードラインと交差されるように配列されたピットライン、そして、各々がスイッチングトランジスターと強誘電体キャパシターを含み、強誘電体キャパシターの一つの電極がスイッチングトランジスターを通じて対応するピットラインに接続され、その他の電極が対応するプレートラインに接続され、スイッチングトランジスターの制御電極が対応するワードラインに接続されるメモリセルのメモリセルアレイと、ピットラインに各々対応するリファレンスピットライン、リファレンスワードライン、リファレンスワードラインに対応するリファレンスプレートライン、そして、リファレンスピットラインに各々対応するリファレンスセルを具備したリファレンスセルアレイと、リファレンスピットライン対リファレンスセルの比は1:1であり、アレイのワードライン中、一つとリファレンスワードラインを選択するための選択信号と非選択されたワードラインに供給するための非選択信号を発生し、そして、プレートライン中、選択されたワードラインに対応する一つと、リファレンスプレートラインを駆動信号に駆動するローデコーダ回路及び、メモリセル中、選択されたメモリセルのデータビットに対応するレベル、そして、選択されたメモリセルに対応するリファレンスセルからデータビットに各々対応するレベルの平均レベルを持つリファレンスレベルを受け入れ、選択されたデータビットのレベルを感知するための感知回路及び、書き込み動作の間に第1のレベルの駆動信号を発生し、読み出し動作の間に第1のレベルより高い第2のレベルの駆動信号を発生する駆動信号発生回路を含む。

【0026】この態様において、駆動信号発生回路は、第1のレベルの駆動信号をパルスとして発生するパルス発生器と、第1のレベルの駆動信号を第2のレベルの駆動信号に昇圧するための昇圧回路と、外部から印加される制御信号に応答して、第1のレベルの駆動信号をローデコーダに伝達するための第1のスイッチ及び、制御信号に応答して第2のレベルの駆動信号をローデコーダに伝達するための第2のスイッチを含む。

【0027】この態様において、第1レベルは電源電圧レベルである。

【0028】

【発明の実施の形態】このような装置により、読み出し動作をする時、書き込み動作によるパルス信号のレベルより高く昇圧されたレベルのパルス信号にプレートラインを駆動することができる。

【0029】図3を参照すると、本発明の新規な強誘電体メモリ装置はプレートパルス発生回路60を提供し、プレートパルス発生回路60は書き込み動作の間に電源電圧レベルのパルス信号SPLを発生し、読み出し動作の間に電源電圧レベルより高いレベルのパルス信号BSP_Lを発生する。これで、読み出し動作の間にピットライン/リファレンスピットラインBL_j/RBL_jそして、昇圧されたレベルのパルス信号BSP_Lにより駆動されたプレートライン/リファレンスプレートラインPL_i/RPLの間の強誘電体キャパシター両端にかかる電圧

(要するに、読み出し電圧)により強誘電体キャパシターCFの強誘電物質は状態点(AあるいはD、図1を参照)に完全に分極(又は飽和)される。従って、読み出し動作する時のセンシングマージンを確保することにより、強誘電体メモリ装置の信頼性が向上する。

【0030】図3を参照すると、本発明の好ましい実施形態による強誘電体メモリ装置の構成を示すブロック図が図示されている。m個のワードラインWL₁~WL_m及びm個のプレートラインPL₁~PL_mは、図3に図示されるように、ローとカラムを規定する基板上のセルアレイ領域10に対応するローに従って、各々伸張する。又、n個のピットラインBL₁~BL_nは対応するカラムに従って、各々伸張する。m個のワードラインWL₁~WL_mとn個のピットラインBL₁~BL_nが交差する領域にm×n個の強誘電体メモリセルMC_m_nがマトリックス形態で形成される。

【0031】各メモリセルは一つのスイッチングトランジスターTr_i_j(ここで、i=1~m, j=1~n)と一つの強誘電体キャパシターCF_i_jで構成される。キャパシターCF_i_jの二つの電極の間には強誘電物質が挿入されている。スイッチングトランジスターTr_i_jの電流通路(current path)すなわち、ドレーンソースチャネル(drain-source channel)は対応する強誘電体キャパシターCF_i_jの一つの電極と対応するピットラインBL_jの間に接続される。スイッチングトランジスターTr_i_jのゲートは対応するワードラインWL_iに接続される。具体的に、例を挙げると、メモリセルMC₁₁において、スイッチングトランジスターT₁₁の電流通路は強誘電体キャパシターC₁₁の一つの電極とピットラインBL₁の間に接続され、そのゲートはワードラインWL₁に接続される。又、強誘電体キャパシターC₁₁の他の電極は対応するプレートラインPL₁に接続される。

【0032】再び、図3を参照すると、ワードラインWL₁~WL_mとプレートラインPL₁~PL_mはローデ

コード回路20に接続される。コーデコーダ回路20は一つのワードラインを選択し、そして、選択されたワードラインに対応するプレートラインPLm上に強誘電物質の全ての分極ドメインを所定の方向に完全に分極させる電圧レベルのパルス信号（要すると、読み出し動作する時、パルス信号-B SPLそして書き込み動作する時、パルス信号-SPL）を印加する。

【0033】各ビットラインBL1～BLnの一方の端はよく知られたラッチ型の感知回路30に接続され、他方の端はカラム選択回路80に接続される。感知回路40は感知駆動レベル発生回路40から二つの感知駆動ラインSAP及びSANそして、リファレンスセルアレイ60に連結されたn個のリファレンスピットラインRBL1～RBLnと接続されている。

【0034】リファレンスセルアレイ(reference cell array)50のリファレンスワードラインRWLとリファレンスプレートラインRPLはローデコーダ回路20に接続される。リファレンスワードラインRWLはローデコーダ回路20により選択され、リファレンスプレートラインRPLは選択されたワードラインWLiに対応するプレートラインPLiに供給されたパルス信号（例えば、読み出し動作する時、パルス信号-B SPLそして書き込み動作する時、パルス信号-SPL）により駆動される。アレイ50は、よく知られているように、選択されたメモリセルに貯蔵されたデータ'1'あるいは'0'の基準になるレベルを対応するリファレンスピットラインRBLjを通じて感知回路40に提供する。

【0035】再び、図3を参照すると、本発明による強誘電体メモリ装置は、ローデコーダ回路20にパルス信号^{*30}

$$V_p(\text{読み出し}) \geq \frac{C_{\text{plate}} + C_{BL}}{C_{BL}} \times V_p(\text{書き込み})$$

【0039】本発明の好ましい実施形態によるプレートパルス発生回路60はパルス発生器(pulse generator)62、昇圧回路(boosting circuit)64、スイッチとして動作するNMOトランジスターMN1とPMOSトランジスターMP1で構成されている。

【0040】パルス発生器60は書き込み動作をする時、設定されたレベル（例えば、電源電圧）のパルス信号SPLを発生する。そして、昇圧回路64はパルス発生器62からプレートパルスSPLを受け入れ、式(2)で表現された読み出し動作をする時のパルス信号のレベルに対応する昇圧されたレベルのパルス信号B SPLを発生する。信号CPに制御されるPMOSトランジスターMP1はパルス発生器62とローデコーダ回路20の間に

*号を供給するためのプレートパルス発生回路60を含む。プレートパルス発生回路60は書き込み動作をする時、電源電圧レベルのパルス信号SPLを発生し、読み出し動作をする時、電源電圧より高いレベルを持つパルス信号B SPLを発生する。

【0036】従来技術において説明したように、読み出し動作をする時、プレートライン/リファレンスプレートラインPLi/RPLに印加されるパルス信号の電圧レベルは書き込み動作をする時、プレートラインPLi/RPLに印加されるその電圧レベルと同一である。このような場合、読み出し動作をする時、ビットラインがフローティング状態に維持されるので、ビットラインBLのローディングキャパシタンスと強誘電体キャパシターCFのキャパシタンスのカップリングにより読み出し動作をする時、強誘電体キャパシターCFの両端にかかる電圧は、書き込み動作する時、強誘電体キャパシターCFの両端にかかる電圧より低い。強誘電体キャパシターの強誘電物質が状態点AあるいはC（図1を参照）に完全に分極されないので、FRAM装置のセンシングマージン(sensing margin)は減少する。

【0037】これを解決するために本発明によるプレートパルス発生回路60は読み出し動作をする時、印加されるパルス信号B SPLのレベルを書き込み動作をする時、印加されるパルス信号SPLのレベルより高いようにパルス信号を発生する。読み出し動作する時、印加されるパルス信号B SPLの電圧レベルを書き込み動作をする時、印加されるパルス信号SPLの電圧レベルに関連して数学式で表現すると、次のようである。

【0038】

【数2】

... (2)

形成される電流通路(correct path)すなわち、ソースドレーンチャンネル(source-drain channel)を持つ。

【0041】そして、信号CPに制御されるNMOSトランジスターMN1は昇圧回路64とローデコーダ回路20の間に形成される電流通路を持つ。信号CPは書き込み動作をする時、ローレベルに維持され、読み出し動作する時、ハイレベルに維持される。ただし、この分野の通常的な知識を習得した人々によく知られているように、FRAM装置は書き込み/読み出し動作が遂行された後、本来のデータを失ったメモリセルに本来のデータを維持するための再記入動作が遂行される。

【0042】この時、プレートラインに印加されるパルス信号のレベルは書き込み動作をする時、印加されるパル

ス信号S P Lと同一なレベルを持つ。従って、制御信号C Pは読み出しの間、感知回路4 0が動作する以前までだけハイレベルに活性化されることはこの分野に熟練した者にはよく知られている。結局、昇圧されたレベルのパルス信号B S P Lはただしハイレベルの制御信号C PによりNMOSトランジスターがターンオンされた時、ロードコーダ回路2 0に供給される。

【0043】カラム選択回路8 0は、この分野の通常的な知識を習得した者によく知られているように、n個のNMOSトランジスター（図示されない）を具備する。各選択トランジスターの電流通路は、対応するビットラインB L jと対応するデータラインD L y（ここで、y=1~k）の間に接続される。各トランジスターはカラムデコーダ回路7 0からの各カラム選択信号Y 1~Y nによりターンオン／オフされる。そして、カラム選択回路8 0のデータラインD L yは主感知及び書き込みドライブ回路9 0を通じて、対応するデータ入出力ラインD I 0 yに接続される。

【0044】図1、図3及び図4を参照して、以下本発明による強誘電体メモリ装置の書き込み／読み出し動作が説明される。

【0045】<書き込み動作>図4を参照すると、データ書き込み動作はデータ感知区間T 0~T 1とデータ書き込み区間T 1~T 2で構成される。まず、データ感知区間T 0~T 1は選択されたワードラインに関連されたメモリセルのデータを保護するために遂行される。すなわち、選択されるワードライン（例えば、メモリセルアレイのワードラインWL 1に接続されたメモリセルMC 1 1~MC 1 n）中、カラムデコーダ回路7 0により選択されるセル（例えばMC 1 1からMC 1 4まで）に対したデータ書き込み動作が遂行されるが、余りのセルMC 1 5~MC 1 nに対した書き込み動作は遂行されない。

【0046】選択されたメモリセルに対したデータ書き込み動作が遂行されると、選択されたワードラインWL 1に対応するメモリセルアレイ1 0のプレートラインP L 1はパルス発生回路6 0から提供されるV c cレベルのパルス信号S P Lに駆動される。この時、メモリセル中、データ' 1'が貯蔵されたセル、すなわち、状態点Bを持つメモリセルの強誘電体キャパシターC Fの分極Pは、図1の状態点Bから状態点Cを通じて状態点Dに代わり、この状態遷移に対応する電荷d Q 1は対応するスイッチトランジスターT rを通じて強誘電体キャパシターC Fと対応するビットラインB Lの間に伝達される。そして、メモリセル中、データ' 0'が貯蔵されたセル、すなわち、状態点Dを持つメモリセルの強誘電体キャパシターC Fの分極Pは図1の状態点Cを通じて再び状態点Dに回帰する。

【0047】結局、選択されたワードラインに接続されたメモリセルに貯蔵されたデータ' 1'の分極Pはデータ' 0'の分極Pに変化される。従って、選択されたワ

ードラインに接続されたメモリセルに貯蔵された本来のデータ、すなわち、強誘電体キャパシターC Fの本来分極状態を復元するためにデータ感知区間T 0~T 1が遂行される。このために、書き込み動作が遂行される以前に選択されたワードラインWL 1に対応するプレートラインP L 1がV c cのレベルに駆動される。これと同時に、リファレンスプレートラインR P LとリファレンスワードラインR W Lも選択され、そして、駆動されることにより、リファレンスピットラインR B L jはデータ' 1'とデータ' 0'に対応するレベルの平均値に該当するリファレンスレベルに各々チャージされる。

【0048】その次、実際のデータ書き込み動作は区間T 1~T 2の間に遂行される。カラム選択回路8 0はカラムデコーダ回路7 0からの選択信号Y iに応答して外部から書き込まれたデータを、対応するビットライン（例えば、B L 1~B L 4）に伝達する。以後、感知駆動レベル発生回路4 0からの駆動信号S A P及びS A Nにより感知回路4 0が活性化され、その結果、選択されたビットラインB L 1~B L 4の電圧レベルは書き込まれるデータの電圧レベルに安定した後、対応するセルにデータが書き込まれる。そして、駆動信号S A P及びS A Nにより感知回路4 0が活性化される時、データ' 1'が出力されたセルの再記入動作が遂行される。

【0049】<読み出し動作>再び図4を参照すると、読み出し動作が遂行される前にビットラインプリチャージ動作が区間T 2~T 3の間に遂行され、区間T 3~T 4で上で説明された書き込み動作のデータ感知動作と同一な方法でデータ感知動作が遂行される。ただし、図4に図示されるように、区間T 3~T 4の間、制御信号C Pのレベルがハイレベルに維持されるので、パルス発生信号6 0のNMOSトランジスターM N 1がターンオンされ、PMOSトランジスターM P 1がターンオフされる。従って、ロードコーダ回路2 0は、パルス発生回路6 0から、図3に図示されたように、昇圧されたレベルのパルス信号B S P Lを提供される。

【0050】昇圧されたレベルのパルス信号B S P Lにプレートライン／リファレンスプレートラインP L m／R P Lを駆動することにより、読み出し動作をする時、ビットラインB L及び強誘電体キャパシターC Fのキャパシタンスカッピング（capacitance coupling）により、強誘電体キャパシターC Fの両端にかかる電圧が降下されることを補償（防止）することができる。すなわち、昇圧されたレベルのパルス信号B S P Lにより強誘電体キャパシターC Fの強誘電物質を状態点（点A及び点C）に完全に分極させることができる。

【0051】本発明によるF R A M装置は読み出し動作をする時、強誘電体キャパシター両端にかかる電圧を、書き込み動作をする時キャパシター両端にかかる電圧と同一に誘起させるにより、読み出し動作する時のデータセンシ

13

ングマージンを確保することができるだけでなく、それによりFRAM装置の信頼性が向上する。読み出し動作をする時、昇圧されたレベルのパルス信号B SPLはメモリセルアレイ10及びリファレンスセルアレイ50のプレートラインにすべて印加されることは、この分野に熟練した者に自明である。

[0052]

【発明の効果】前記したように、読み出し動作をする時の強誘電体キャパシターの強誘電物質を完全に分極するようにしてから、センシングマージンを確保することができ、かつ、強誘電体メモリ装置の信頼性が向上する。

【図面の簡単な説明】

【図1】接合キャパシタンスとピットラインローディングキャパシタンスを持つメモリセルの等価回路図である。

【図2】強誘電体ホルバインガの電極の間に挿入された

【図2】強誘電体キャバシターの電極の間に挿入された。

[図 1]

14

*論語植物質のヒステリシス特性を見せる圖面である。

【図3】本発明の好ましい実施形態による強誘電体ラム装置の構成を示すブロック図である。

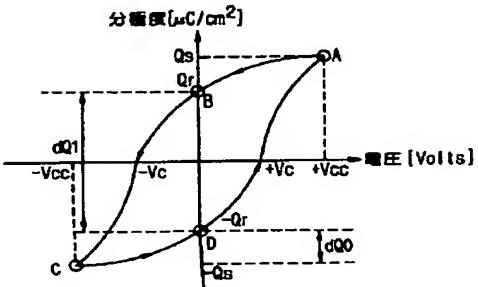
【図4】本発明による読み出し及び書き込み動作のための動作タイミング図である。

【符号の説明】

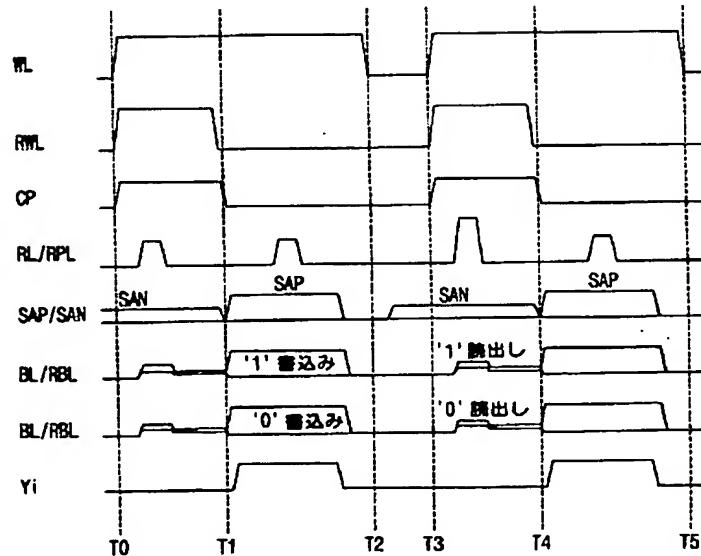
10 : メモリセルアレイ
 20 : ローデコーダ回路
 30 : 感知回路
 10 40 : 感知駆動レベル発生回路
 50 : リファレンスセルアレイ
 60 : プレートパルス発生回路
 70 : カラムデコーダ回路
 80 : カラム選択回路
 90 : 主感知及び書き込みドライブ回路

【図2】強誘電体キャパシターの電極の間に挿入された*

【図2】



【图4】



【図3】

